

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月16日

出 願 番 号

Application Number:

特願2002-207335

[ST.10/C]:

[JP2002-207335]

出 願 人

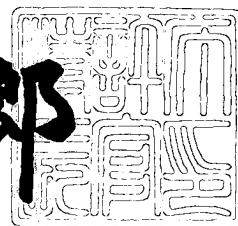
Applicant(s):

富士通株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016741

【書類名】 特許願

【整理番号】 0240190

【提出日】 平成14年 7月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置および半導体集積回路

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 本庄 智典

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 石川 勝哉

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100072718

 【弁理士】

 【氏名又は名称】 古谷 史旺

 【電話番号】 3343-2901

【手数料の表示】

 【予納台帳番号】 013354

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9704947
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体集積回路

【特許請求の範囲】

【請求項 1】 互いに異なる製造プロセスで製造された第 1 チップおよび第 2 チップとが 1 つのパッケージに実装された半導体装置であって、

前記第 1 チップは、

前記第 2 チップを動作させる制御信号を生成する制御回路と、

前記第 1 チップの試験時に前記制御信号の前記第 2 チップへの伝達を禁止する試験制御回路とを備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記第 1 チップ用の第 1 電源端子と、

前記第 2 チップ用の第 2 電源端子とを備え、

前記試験制御回路は、前記第 2 チップに供給される全ての前記制御信号の出力を制御することを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

前記第 1 チップおよび前記第 2 チップに共通の電源端子を備え、

前記試験制御回路は、前記第 2 チップに供給される前記制御信号のうち、前記第 2 チップを活性化するイネーブル信号の出力を制御することを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、

前記第 1 チップは、

前記第 1 チップを試験モードに移行するための試験信号を受信する試験端子と

通常動作で使用される入力信号を受信する入力端子と、

前記試験信号を受信したときに活性化され、前記入力端子に入力される信号の論理に応じて試験起動信号を出力する試験起動回路とを備え、

前記試験制御回路は、前記試験起動信号を受信したときに前記制御信号の伝達を禁止することを特徴とする半導体装置。

【請求項 5】 互いに異なる製造プロセスで製造された第 1 チップおよび第

2 チップとが 1 つのパッケージに実装された半導体装置であって、

前記第 1 チップの内部回路用の第 1 電源端子と、

前記第 2 チップの内部回路用の第 2 電源端子と、

前記第 1 および第 2 チップの入出力回路用の第 3 電源端子とを備え、

前記第 1 チップは、

前記第 2 チップを動作させる制御信号を生成する制御回路を備え、

前記第 2 チップは、

前記第 3 電源端子に供給される電源電圧により動作し、前記第 1 チップの試験時に前記制御信号の前記第 2 チップの内部回路への伝達を禁止する試験制御回路を備えていることを特徴とする半導体装置。

【請求項 6】 請求項 1 または請求項 5 記載の半導体装置において、

前記第 1 チップを試験するための試験起動信号を受信する試験起動端子を備え

、
前記試験制御回路は、前記試験起動信号を受信したときに前記制御信号の伝達を禁止することを特徴とする半導体装置。

【請求項 7】 請求項 1 または請求項 5 記載の半導体装置において、

前記試験制御回路は、前記第 1 チップの試験時に前記制御信号の出力ノードをハイインピーダンスにする出力禁止回路を備えていることを特徴とする半導体装置。

【請求項 8】 請求項 1 または請求項 5 記載の半導体装置において、

前記試験制御回路は、前記第 1 チップの試験時に前記制御信号の出力ノードを高レベルに固定する高レベル固定回路を備えていることを特徴とする半導体装置

。【請求項 9】 請求項 1 または請求項 5 記載の半導体装置において、

前記試験制御回路は、前記第 1 チップの試験時に前記制御信号の出力ノードを低レベルに固定する低レベル固定回路を備えていることを特徴とする半導体装置

。【請求項 10】 同一のパッケージに実装される製造プロセスの異なる別の半導体チップを動作させる制御信号を生成する制御回路と、

試験モード時に動作し、前記制御信号の出力を禁止する試験制御回路とを備えていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の半導体チップを同一のパッケージ内に実装し、1パッケージでシステムを構成する半導体装置に関する。

特に、本発明は、上記半導体装置に搭載される試験回路に関する。

【0002】

【従来の技術】

近時、プロセス技術が異なるロジックチップおよびメモリチップ等を1パッケージに収納し、システムとして動作する半導体装置が開発されている。この種の半導体装置は、マルチ・チップ・パッケージ（以下MCPと称する）あるいはマルチ・チップ・モジュール（以下MCMと称する）と称されている。

一般に、半導体装置は、試験工程において、バーンイン試験が実施される。バーンイン試験は、試験基板に搭載された複数の半導体装置を、高温、高電圧で所定時間動作させ、短時間でトランジスタ等の初期故障を取り除くための加速試験である。

【0003】

バーンイン試験の試験条件は、初期故障品を確実に取り除くために、製造プロセス毎に最適に設定する必要がある。このため、バーンイン試験の条件は、ロジックチップとメモリチップとで異なる。例えば、ロジックチップは、125℃でバーンイン試験が実施され、メモリチップは、100℃でバーンイン試験が実施される。

【0004】

【発明が解決しようとする課題】

しかし、1つのパッケージにロジックチップとメモリチップとを搭載するMCPでは、同じ試験条件でロジックチップとメモリチップとをバーンインしなくてはならない。半導体装置のバーンイン試験を、各チップの試験条件のうち緩い試験

条件で実施した場合には、試験条件の厳しいチップの初期不良が十分に取除けないおそれがある。半導体装置のバーンイン試験を、各チップの試験条件のうち厳しい試験条件で実施した場合には、試験条件の緩いチップに過剰なストレスが与えられ、不良率が上昇するおそれがある。

【0005】

上記不具合を防止するため、従来、例えば実績のある製造プロセスで製造され、バーンイン試験の必要のないロジックチップを、MCPに搭載していた。この場合、100℃でバーンイン試験を実施することで、MCPに搭載されたメモリチップの初期不良を取り除くことができる。

本発明の目的は、試験条件が互いに異なる複数のチップを搭載する半導体装置を、確実にバーンイン試験することにある。

【0006】

本発明の別の目的は、半導体装置に搭載される複数のチップを、それぞれ最適な試験条件で試験することにある。

【0007】

【課題を解決するための手段】

請求項1の半導体装置および請求項10の半導体集積回路では、第1チップ（半導体集積回路）の制御回路は、第2チップ（半導体チップ）を動作させる制御信号を生成する。第1チップおよび第2チップは、互いに異なる製造プロセスで製造され、1つのパッケージに実装される。第1チップの試験制御回路は、第1チップの試験時に制御信号の第2チップへの伝達を禁止する。すなわち、第1チップの試験時に、第2チップが動作することが防止される。このため、例えば、第1チップのバーンイン試験時に、第2チップのトランジスタ等にストレスが加わることが防止される。この結果、第1チップおよび第2チップとを実装した半導体装置において、第1チップのみにストレスを与えてバーンイン試験を実施できる。

【0008】

例えば、第1チップは、ロジックチップであり、第2チップは、メモリチップである。一般に、メモリチップは、ロジックチップに比べ製造プロセスが複雑で

ある。このため、メモリチップにおけるバーンイン試験の温度は、ロジックチップより低く設定されている。本発明では、このような試験条件の異なる複数の半導体チップを搭載した半導体装置において、それぞれのチップを最適な条件で試験できる。

【0009】

請求項2の半導体装置では、半導体装置は、第1チップ用の第1電源端子と、第2チップ用の第2電源端子とを有している。すなわち、電源は、第1チップと第2チップとで独立している。試験制御回路は、第2チップに供給される全ての制御信号の出力を制御する。このため、例えば、第1チップのバーンイン試験時に、第2電源端子への電源電圧の供給を停止することで、第2チップは、高温放置と等価な状態になる。この結果、第1チップの試験時に、第2チップのトランジスタ等に電界によるストレスが加わることを確実に防止できる。

【0010】

請求項3の半導体装置では、半導体装置は、第1チップおよび第2チップに共通の電源端子を有している。試験制御回路は、第1チップの試験時に、第2チップを活性化するイネーブル信号の出力を禁止する。このため、第1チップの試験時に、第2チップは、電源電圧を受けるが、イネーブル信号を受信しない。したがって、第2チップは非活性化され、第2チップにストレスが加わることが防止される。

【0011】

請求項4の半導体装置では、第1チップは、試験端子で試験信号を受信したときに、試験モードに移行する。第1チップの試験起動回路は、試験信号を受信したときに活性化され、第1チップの入力端子に入力される信号の論理に応じて試験起動信号を出力する。ここで、入力端子は、通常動作で使用される入力信号を受信する端子である。試験制御回路は、試験起動信号を受信したときに、制御信号の第2チップへの伝達を禁止する。このため、通常動作で使用される入力端子を利用して、複数の試験のうち所望の試験を実施できる。

【0012】

請求項5の半導体装置では、互いに異なる製造プロセスで製造された第1チッ

プおよび第2チップが1つのパッケージに実装されている。半導体装置は、第1チップの内部回路用の第1電源端子と、第2チップの内部回路用の第2電源端子と、第1および第2チップの入出力回路用の第3電源端子とを有している。すなわち、電源は、第1チップの内部回路と、第2チップの内部回路と、第1および第2チップの入出力回路とで独立している。第1チップの制御回路は、第2チップを動作させる制御信号を生成する。

【0013】

試験制御回路は、第1チップでなく第2チップに形成されている。試験制御回路は、第3電源端子に供給される電源電圧により動作し、第1チップの試験時に制御信号の第2チップの内部回路への伝達を禁止する。このため、例えば、第1チップのバーンイン試験時に、第1および第3電源端子に電源電圧を供給し、第2電源端子への電源電圧の供給を停止することで、第2チップは、高温放置と等価な状態になる。試験制御回路が第2チップに形成されるため、特に、第1チップに汎用チップを使用する場合にも、第2チップにストレスが加わることを容易に防止できる。

【0014】

請求項6の半導体装置では、試験起動端子は、第1チップを試験するための試験起動信号を受信する。試験制御回路は、試験起動信号を受信したときに制御信号の伝達を禁止する。このため、試験起動端子に所定の電圧を供給するだけで、第1チップを容易に試験できる。

請求項7の半導体装置では、試験制御回路の出力禁止回路は、第1チップの試験時に制御信号の出力ノードをハイインピーダンスにする。このため、例えば、バーンイン試験時に、第2チップを容易かつ確実に高温放置状態にできる。

【0015】

請求項8の半導体装置では、試験制御回路の高レベル固定回路は、第1チップの試験時に第2チップへの制御信号の出力ノードを高レベルに固定する。例えば、高レベル固定回路の出力を、第2チップの入力端子のうち、低レベル時に活性化状態を示す端子に接続することで、第1チップの試験時に、第2チップを確実に非活性化状態にできる。

【 0 0 1 6 】

請求項 9 の半導体装置では、試験制御回路の低レベル固定回路は、第 1 チップの試験時に第 2 チップへの制御信号の出力ノードを低レベルに固定する。例えば、低レベル固定回路の出力を、第 2 チップの入力端子のうち、高レベル時に活性化状態を示す端子に接続することで、第 1 チップの試験時に、第 2 チップを確実に非活性化状態にできる。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図 1 は、本発明の半導体装置の第 1 の実施形態を示している。この実施形態は、請求項 1、2、6、7、10 に対応している。この半導体装置は、ロジックチップ（第 1 チップ）と SDRAM（第 2 チップ）とをパッケージ基板 BRD に搭載して MCP として形成されている。SDRAM の製造プロセスは、ロジックチップと特性が異なる半導体素子を使用し、メモリセルの形成プロセスを付加して構成されている。即ち、SDRAM とロジックチップの製造プロセスは互いに異なる。通常、ロジックチップ単体のバーンイン試験は、125℃で実施され、SDRAM 単体のバーンイン試験は、100℃で実施される。

【 0 0 1 8 】

パッケージ基板 BRD は、ロジックチップの電源端子および接地端子にそれぞれ接続される第 1 電源端子 VDD1 および第 1 接地端子 GND1 と、SDRAM の電源端子および接地端子にそれぞれ接続される第 2 電源端子 VDD2 および第 2 接地端子 GND2 と、ロジックチップの試験制御端子に接続される試験制御端子 BIZ と、ロジックチップの入力端子および出力端子に接続される端子とを有している。

【 0 0 1 9 】

ロジックチップは、SDRAM を動作させる複数の制御信号 CNT を生成するとともに SDRAM からのデータを受信する論理回路（制御回路）10 と、試験制御回路 12 とを有している。論理回路 10 は、SDRAM の制御機能以外にもデータ処理等の所定の機能を有している。試験制御回路 12 は、論理回路 10 から出力される SDRAM 用の制御信号 CNT を受信し、試験起動信号 BIZ が低レベルのときに制御信号 CNT を

SDRAMに伝達する。試験制御回路 1 2 は、試験起動信号BIZが高レベルのとき、制御信号CNTのSDRAMへの伝達を禁止する。ロジックチップからSDRAMに供給される制御信号CNTは、全て試験制御回路 1 2 を介してSDRAMに出力される。

【 0 0 2 0 】

SDRAMは、メモリセルアレイ 1 4 と、メモリセルアレイ 1 4 を動作させる制御回路、入出力回路等（図示せず）を有している。SDRAMの外部端子は、全てロジックチップに接続されている。すなわち、SDRAMは、ロジックチップからの制御信号CNTを受けて動作する。メモリセルアレイ 1 4 から読み出されたデータは、ロジックチップを介してMCPの外部に出力される。

【 0 0 2 1 】

図 2 は、図 1 に示したMCPの構造を示している。この実施形態では、パッケージ基板BRD上にSDRAMとロジックチップとが積層されている。パッケージ基板BRD、SDRAMおよびロジックチップは、ボンディングワイヤを介して互いに接続されている。なお、本発明は、積層構造のMCPに限定されるものではない。例えば、本発明をパッケージ基板上にロジックチップとSDRAMとを並列して配置したMCMに適用してもよい。

【 0 0 2 2 】

図 3 は、図 1 に示した試験制御回路 1 2 の詳細を示している。

試験制御回路 1 2 は、SDRAMを動作させる制御信号CNT（CNT1、...、CNTn）毎にクロックトインバータ 1 2 a（出力禁止回路）を有している。クロックトインバータ 1 2 a は、低レベルの試験起動信号BIZを受けたとき、制御信号CNTを反転した信号をそれぞれIOセル 1 4 に出力する。クロックトインバータ 1 2 a は、高レベルの試験制御端子BIZを受けたとき、出力をハイインピーダンスにすることで、制御信号CNTのIOセル 1 4 への出力を禁止する。

【 0 0 2 3 】

IOセル 1 4 は、プルダウン抵抗 1 4 a と出力バッファ 1 4 b とを有している。クロックトインバータ 1 2 a がオフしているときに、SDRAMの入力端子MIN1、...、MINnには、プルダウン抵抗 1 4 a により低レベルが供給される。ここで、バッファ 1 4 b は、ロジックチップではなく、SDRAMに形成されていてもよい。

次に、上述したMCPのバーンイン試験について説明する。MCPのバーンイン試験は、ロジックチップとSDRAMとに分けて実施される。

【 0 0 2 4 】

まず、複数のMCPが試験基板に搭載される。試験基板は、試験炉内（125℃）に配置される。次に、ロジックチップに接続されている第1電源端子VDD1および第1接地端子GND1のみが電源線に接続され、これ等端子VDD1、GND1に所定の電圧が供給される。SDRAMに接続されている第2電源端子VDD2および第2接地端子GND2は、電源線に接続されない。

【 0 0 2 5 】

この後、試験制御端子BIZに高レベルが供給され、試験制御回路10のクロックインバータ12aは、非活性化される。次に、ロジックチップの入力端子に試験信号が与えられることで図1に示した論理回路10は動作し、ロジックチップのバーンイン試験が実施される。このとき、SDRAMには電源が供給されていない。また、SDRAMの全入力端子MIN1、...、MINnには低レベルが供給されている。このため、SDRAMは、高温放置と等価な状態になる。一般に、SDRAMの高温放置規格は、125℃より高い。このため、ロジックチップのバーンイン試験中にSDRAM内のトランジスタ等にストレスがかかり劣化することはない。すなわち、本発明では、MCPに搭載された複数の半導体チップのうち所望のチップのみバーンイン試験が実施される。

【 0 0 2 6 】

ロジックチップのバーンイン試験後、100℃の試験炉内でSDRAMのバーンイン試験が実施される。このとき、第1電源端子VDD1、第1接地端子GND1、第2電源端子VDD2および第2接地端子GND2が電源線に接続され、これ等端子VDD1、GND1、VDD2、GND2に所定の電圧が供給される。すなわち、ロジックチップおよびSDRAMの両方に電源が供給される。

【 0 0 2 7 】

試験起動端子BIZは低レベルにされ、試験制御回路12のクロックインバータ12aは活性化する。ロジックチップの入力端子に試験信号が与えられることで論理回路10は動作する。論理回路10で生成される制御信号CNT（試験パタ

ーン) は、クロックトインバータ 1 2 a を介してSDRAMに伝達される。そして、SDRAMのバーンイン試験が実施される。

【 0 0 2 8 】

なお、SDRAMのバーンイン試験時にロジックチップの内部回路も動作する。このため、上述した 1 2 5℃でのロジックチップのバーンイン試験は、必要に応じて、1 0 0℃でのSDRAMのバーンイン試験時にロジックチップにかかるストレスを差し引いた条件で実施してもよい。

以上、本実施形態では、ロジックチップのバーンイン試験時に、試験制御回路 1 2 は、制御信号CNTのSDRAMへの伝達を禁止し、SDRAMが動作することを防止した。このため、SDRAMのトランジスタ等にストレスが加わることを防止できる。この結果、試験条件の異なる複数の半導体チップを搭載したMCP等の半導体装置において、それぞれのチップを最適な条件で試験できる。

【 0 0 2 9 】

ロジックチップの電源VDD1、GND1とSDRAMの電源VDD2、GND2とを独立させたので、ロジックチップのバーンイン試験時に、SDRAMを高温放置と等価な状態にできる。この結果、SDRAMのトランジスタ等に電界によるストレスが加わることを確実に防止でき、素子が劣化することを防止できる。

ロジックチップのバーンイン試験を実施するための試験起動信号を受信する試験起動端子BIZを形成した。このため、試験起動端子BIZに高レベル電圧を供給するだけで、バーンイン試験を容易に実施できる。

【 0 0 3 0 】

ロジックチップのバーンイン試験時に、試験制御回路 1 2 のクロックトインバータ 1 2 a により、制御信号CNTの出力ノードをハイインピーダンスにした。このため、SDRAMを容易かつ確実に高温放置と等価な状態にできる。

図 4 は、本発明の半導体装置の第 2 の実施形態の要部を示している。この実施形態は、請求項 1、2、6、7、1 0 に対応している。第 1 の実施形態と同じ要素については同一の符号を付し、これ等については詳細な説明を省略する。

【 0 0 3 1 】

この実施形態では、試験制御回路 1 2 の出力は、プルダウン抵抗 1 4 a を有す

るI0セル14またはプルアップ抵抗16aを有するI0セル16に接続されている。その他の構成は、第1の実施形態と同じである。なお、バッファ14b、16bは、ロジックチップではなく、SDRAMに形成されていてもよい。

プルダウン抵抗を有するI0セル14は、高レベル時に活性化状態を示す入力端子（例えば、クロックイネーブル端子CKE）に接続されている。プルアップ抵抗を有するI0セル16は、低レベル時に活性化状態を示す入力端子（例えば、チップセレクト信号/CS、ロウアドレスストローブ端子/RAS、コラムアドレスストローブ端子/CASおよびライトイネーブル信号/WE）に接続されている。低レベルと高レベルとが選択的に供給される入力端子（例えば、アドレス端子）には、仕様に応じてI0セル14、16のいずれかが接続されている。その他の構成は、第1の実施形態と同じである。

【0032】

この実施形態では、第1の実施形態と同様にロジックチップのバーンイン試験が実施される。この際、SDRAMの電源端子VDD2および接地端子GND2には、電圧が供給されない。SDRAMの入力端子には、I0セル14、16のいずれかにより低レベルまたは高レベルが供給され、SDRAMは、確実に非活性化状態に保持される。このため、ロジックチップのバーンイン試験時に、SDRAMは高温放置と等価な状態になり、SDRAMにストレスが与えられることはない。

【0033】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

図5は、本発明の半導体装置の第3の実施形態の要部を示している。この実施形態は、請求項1、2、6、8、9、10に対応している。第1および第2の実施形態と同じ要素については同一の符号を付し、これ等については詳細な説明を省略する。

【0034】

この実施形態では、第1の実施形態の試験制御回路12の代わりに試験制御回路18が形成されている。試験制御回路18の出力は、プルアップ抵抗を有するI0セル16またはプルダウン抵抗を有するI0セル14に接続されている。プルア

アップ抵抗を有するI0セル16は、高レベル時に活性化状態を示す入力端子に接続されている。プルダウン抵抗を有するI0セル14は、第1の実施形態と反対に、低レベル時に活性化状態を示す入力端子に接続されている。なお、バッファ14b、16bは、ロジックチップではなく、SDRAMに形成されていてもよい。その他の構成は、第1の実施形態と同じである。

【0035】

試験制御回路18は、図1に示したロジックチップの論理回路10から出力される制御信号CNTの伝達ノードをそれぞれ強制的に低レベルおよび高レベルにするnMOSトランジスタ18a（低レベル固定回路）およびpMOSトランジスタ18b（高レベル固定回路）を有している。nMOSトランジスタ18aのソースは、第1接地端子GND1に接続され、pMOSトランジスタ18aのソースは第1電源端子VDD1に接続されている。nMOSトランジスタ18aおよびpMOSトランジスタ18bは、試験起動信号BIZが高レベルのときにオンする。nMOSトランジスタ18aが接続された伝達ノードは、プルアップ抵抗を有するI0セル16に接続されている。pMOSトランジスタ18bが接続された伝達ノードは、プルダウン抵抗を有するI0セル14に接続されている。

【0036】

この実施形態では、ロジックチップのバーンイン試験時に、SDRAMの電源端子VDD2および接地端子GND2には、電圧が供給されない。また、nMOSトランジスタ18aのオンにより、SDRAMにおける高レベル時に活性化状態を示す入力端子MIN1には、非活性レベルである低レベルが供給される。pMOSトランジスタ18bのオンにより、SDRAMにおける低レベル時に活性化状態を示す入力端子MINnには、非活性レベルである高レベルが供給される。このため、ロジックチップのバーンイン試験中に、SDRAMは、高温放置と等価な状態になる。すなわち、ロジックチップのバーンイン試験時にSDRAMにストレスが与えられることはない。

【0037】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、ロジックチップのバーンイン試験時に、試験制御回路18のnMOSトランジスタ18aのドレインを、I0セル16を介して、SDRAMの高レベル時

に活性化状態を示す端子（MIN1等）に接続した。あるいは、試験制御回路 1 8 の pMOSトランジスタ 1 8 b のドレインを、I0セル 1 4 を介して、SDRAMの低レベル時に活性化状態を示す端子（MINn等）に接続した。このため、ロジックチップのバーンイン試験時に、SDRAMを確実に非活性化状態にできる。

【 0 0 3 8 】

図 6 は、本発明の半導体装置の第 4 の実施形態を示している。この実施形態は、請求項 1、3、7、8、1 0 に対応している。第 1 および第 2 の実施形態と同じ要素については同一の符号を付し、これ等については詳細な説明を省略する。

この実施形態では、MCPのパッケージ基板BRDは、ロジックチップおよびSDRAMの電源端子および接地端子にそれぞれ接続される電源端子VDDおよび接地端子GNDと、ロジックチップの試験制御端子に接続される試験制御端子BIZと、ロジックチップの入力端子および出力端子に接続される端子とを有している。すなわち、ロジックチップおよびSDRAMは、共通の電源端子VDDおよび接地端子GNDに接続されている。このため、ロジックチップのバーンイン試験時に、ロジックチップだけでなくSDRAMにも電源電圧が供給される。

【 0 0 3 9 】

ロジックチップは、論理回路 1 0 および試験制御回路 2 0 を有している。試験制御回路 2 0 は、制御信号CNTのうちクロックイネーブル信号CKEに対応する信号のSDRAMへの伝達を禁止する複数のクロックトインバータ 1 2 a（図示せず）を有している。クロックトインバータ 1 2 a は、第 1 の実施形態（図 3）と同様に、試験起動信号BIZが高レベルのときに非活性化される。

【 0 0 4 0 】

このように、本実施形態では、クロックイネーブル信号CKEに対応する制御信号CNTのみが試験制御回路 2 0 を介してSDRAMに伝達される。クロック信号CLK、チップセレクト信号/CS、ライトイネーブル信号/WE、アドレス信号AD等は、論理回路 1 0 からSDRAMに直接伝達される。

ロジックチップにおいて、クロックイネーブル信号CKEを出力するI0セル（図示せず）は、プルダウン抵抗を有している。このため、試験制御回路 2 0 のクロックトインバータ 1 2 a の非活性化時に、ロジックチップから出力されるクロッ

クイネーブル信号CKEは、低レベルに固定される。

【0041】

ロジックチップのバーンイン試験中、SDRAMには、電源が供給されている。このため、SDRAMの内部回路は動作可能な状態にある。SDRAMは、高レベルのクロックイネーブル信号CKEを受けたとき、クロックバッファを活性化し、クロック信号CLKを内部回路に伝達する。チップセレクト信号/CS、アドレス信号AD等の入力バッファは、クロック信号CLKを受けて動作する。また、SDRAMは、低レベルのクロックイネーブル信号CKEを受けたとき、クロックバッファを非活性化し、クロック信号CLKの内部回路への伝達を禁止する。このとき、入力バッファは非活性化される。このため、SDRAMは、スタンバイ状態（正確には、クロックバッファが動作しない低消費電力状態）になる。

【0042】

上記スタンバイ状態では、SDRAMのメモリセルアレイ14は動作しない。このため、ロジックチップのバーンイン試験時に、メモリセルアレイ14にストレスが与えられることはない。

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、ロジックチップの電源とSDRAMの電源とが共通の場合、ロジックチップのバーンイン試験時に、クロックイネーブル信号CKEのSDRAMへの供給を停止した。このため、SDRAMのメモリセルアレイ14が動作することを防止でき、メモリセルアレイ14にストレスが与えられることを防止できる。

【0043】

図7は、本発明の半導体装置の第5の実施形態を示している。この実施形態は、請求項5、6、8、9に対応している。第1および第2の実施形態と同じ要素については同一の符号を付し、これ等については詳細な説明を省略する。

この実施形態では、MCPのパッケージ基板BRDは、ロジックチップの電源端子および接地端子にそれぞれ接続される第1電源端子VDD1および第1接地端子GND1と、SDRAMの電源端子および接地端子にそれぞれ接続される第2電源端子VDD2および第2接地端子GND2と、ロジックチップおよびSDRAMの入出力部（I/Oセル部）の電源端子および接地端子に接続される第3電源端子VDD3および第3接地端子GND3

と、試験制御回路 2 2 に接続される試験制御端子 BIZ と、ロジックチップの入力端子および出力端子に接続される端子とを有している。

【 0 0 4 4 】

試験制御回路 2 2 は、ロジックチップでなく SDRAM の入出力部に形成されている。試験制御回路 2 2 の電源端子および接地端子は、第 3 電源端子 VDD3 および第 3 接地端子 GND3 に接続されている。

この実施形態では、ロジックチップのバーンイン試験時に、ロジックチップに接続されている第 1 電源端子 VDD1 および第 1 接地端子 GND1 と、ロジックチップおよび SDRAM の入出力部に接続されている第 3 電源端子 VDD3 および第 3 接地端子 GND3 が電源線に接続される。SDRAM に接続されている第 2 電源端子 VDD2 および第 2 接地端子 GND2 は、電源線に接続されない。このため、ロジックチップのバーンイン試験時に、ロジックチップ、SDRAM の入出力部および試験制御回路 2 2 のみが動作する。

【 0 0 4 5 】

図 8 は、図 7 に示した試験制御回路 2 2 の詳細を示している。

試験制御回路 2 2 は、第 1 の実施形態（図 3）と同じ論理で構成されている。すなわち、試験制御回路 2 2 は、SDRAM を動作させる制御信号 CNT（CNT1、...、CNTn）毎に、試験起動信号 BIZ に応じて活性化されるクロックインバータ 2 2 a（出力禁止回路）を有している。各クロックインバータ 2 2 a は、I/O セル 2 4 を介してロジックチップから制御信号 CNT（CNT1、...、CNTn）を受信し、試験起動信号 BIZ が低レベルのとき（バーンイン試験モードでないとき）、受信した信号を入力信号 MIN1、...、MINn として SDRAM の内部回路に出力する。

【 0 0 4 6 】

例えば、プルダウン抵抗を有する I/O セル 1 4 に対応する入力信号 MIN1 は、高レベル時に活性化状態を示す信号である。プルアップ抵抗を有する I/O セル 1 6 に対応する入力信号 MINn は、低レベル時に活性化状態を示す信号である。

ロジックチップのバーンイン試験を実施するとき、SDRAM に接続されている第 2 電源端子 VDD2 および第 2 接地端子 GND2 は、電源線に接続されない。また、試験起動端子 BIZ には、高レベルが供給され、クロックインバータ 2 2 a は非活性

化される。このため、SDRAMの内部回路（メモリセルアレイ 1 4）は動作しない。したがって、ロジックチップのバーンイン試験時に、メモリセルアレイ 1 4 にストレスが与えられることはない。

【 0 0 4 7 】

この実施形態においても、上述した第 1 および第 2 の実施形態と同様の効果を得ることができる。さらに、試験制御回路 2 2 を、ロジックチップおよび SDRAM の入出力部に供給される専用電源 VDD3、GND3 に接続した。このため、試験制御回路 2 2 を SDRAM 内に形成できる。この結果、ロジックチップが汎用チップの場合にも、バーンイン試験をロジックチップのみ対して実施できる。

【 0 0 4 8 】

図 9 は、本発明の半導体装置の第 6 の実施形態を示している。この実施形態は、請求項 1、2、5、6、8、9、1 0 に対応している。第 1 および第 2 の実施形態と同じ要素については同一の符号を付し、これ等については詳細な説明を省略する。

この実施形態では、ロジックチップは複数の試験モードを有している。このため、ロジックチップの論理回路 2 6 には、試験起動回路 2 6 a が形成されている。試験起動回路 2 6 a は、テスト端子 TEST に高レベルを受けたときに活性化され、アドレス端子 AD0、AD1 に供給される信号の論理が、例えば "10" のときに、試験起動信号 BIZ を高レベルに変化させる。アドレス端子 AD0、AD1 は、通常動作時にロジックチップのレジスタおよび SDRAM のメモリセルを選択するためのアドレス信号を受信する。試験起動信号 BIZ の高レベルにより、試験制御回路 1 2 のクロックインバータ 1 2 a（図示せず）は、非活性化される。

【 0 0 4 9 】

試験起動回路 2 6 a は、テスト端子 TEST で高レベルを受け、アドレス端子 AD0、AD1 で例えば論理 "00" を受けたときに、組み込み自己検査（BIST ; Built-in Self Test）を実施するための起動信号を出力する。

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、試験制御回路 2 2 のクロックインバータ 1 2 a を、通常動作で使用する入力信号の組み合わせに応じて非活性化した。このため、少ない端子

で複数の試験を実施できる。

【0050】

図10は、本発明の半導体装置の第7の実施形態を示している。この実施形態は、請求項1、2、5、6、8、9、10に対応している。第1および第2の実施形態と同じ要素については同一の符号を付し、これ等については詳細な説明を省略する。

この実施形態では、ロジックチップは複数の試験モードを有している。このため、ロジックチップの論理回路28には、試験起動回路28aが形成されている。試験起動回路28aは、コマンド端子CMD1、CMD2、CMD3に複数回入力される信号の論理の組み合わせが、所定の組み合わせのときに、試験起動信号BIZを高レベルに変化させる。コマンド端子CMD1、CMD2、CMD3は、通常動作時にロジックチップおよびSDRAMを動作させるコマンド信号を受信する。試験起動信号BIZを高レベルに変化させるためのコマンド信号の組み合わせは、通常動作では入力されない組み合わせである。試験起動回路26aは、通常動作では使用されない別の組み合わせの信号を受けたとき、例えば、組み込み自己検査（BIST；Built-in Self Test）を実施するための起動信号を出力する。

【0051】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、通常動作で使用する入力端子のみを使用して試験起動信号BIZを高レベルにした。このため、試験端子を不要にできる。

なお、上述した実施形態では、本発明を、1つのロジックチップと1つのSDRAMとで構成されたMCPに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、1つのロジックチップと複数のメモリチップとで構成されたMCPに適用してもよい。

【0052】

以上の実施形態において説明した発明を整理して、付記として開示する。

（付記1） 互いに異なる製造プロセスで製造された第1チップおよび第2チップとが1つのパッケージに実装された半導体装置であって、

前記第1チップは、

前記第 2 チップを動作させる制御信号を生成する制御回路と、

前記第 1 チップの試験時に前記制御信号の前記第 2 チップへの伝達を禁止する試験制御回路とを備えていることを特徴とする半導体装置。

【 0 0 5 3 】

(付記 2) 付記 1 記載の半導体装置において、

前記第 1 チップ用の第 1 電源端子と、

前記第 2 チップ用の第 2 電源端子とを備え、

前記試験制御回路は、前記第 2 チップに供給される全ての前記制御信号の出力を制御することを特徴とする半導体装置。

【 0 0 5 4 】

(付記 3) 付記 1 記載の半導体装置において、

前記第 1 チップおよび前記第 2 チップに共通の電源端子を備え、

前記試験制御回路は、前記第 2 チップに供給される前記制御信号のうち、前記第 2 チップを活性化するイネーブル信号の出力を制御することを特徴とする半導体装置。

【 0 0 5 5 】

(付記 4) 付記 1 記載の半導体装置において、

前記第 1 チップは、

前記第 1 チップを試験モードに移行するための試験信号を受信する試験端子と

、
通常動作で使用される入力信号を受信する入力端子と、

前記試験信号を受信したときに活性化され、前記入力端子に入力される信号の論理に応じて試験起動信号を出力する試験起動回路とを備え、

前記試験制御回路は、前記試験起動信号を受信したときに前記制御信号の伝達を禁止することを特徴とする半導体装置。

【 0 0 5 6 】

(付記 5) 付記 1 記載の半導体装置において、

前記第 1 チップは、

通常動作で使用される入力信号を受信する入力端子と、

前記入力端子に複数回入力される信号の論理の組み合わせに応じて試験起動信号を出力する試験起動回路とを備え、

前記試験制御回路は、前記試験起動信号を受信したときに前記制御信号の伝達を禁止することを特徴とする半導体装置。

【0057】

(付記6) 互いに異なる製造プロセスで製造された第1チップおよび第2チップとが1つのパッケージに実装された半導体装置であって、

前記第1チップの内部回路用の第1電源端子と、

前記第2チップの内部回路用の第2電源端子と、

前記第1および第2チップの入出力回路用の第3電源端子とを備え、

前記第1チップは、

前記第2チップを動作させる制御信号を生成する制御回路を備え、

前記第2チップは、

前記第3電源端子に供給される電源電圧により動作し、前記第1チップの試験時に前記制御信号の前記第2チップの内部回路への伝達を禁止する試験制御回路を備えていることを特徴とする半導体装置。

【0058】

(付記7) 付記1または付記6記載の半導体装置において、

前記第1チップを試験するための試験起動信号を受信する試験起動端子を備え、

前記試験制御回路は、前記試験起動信号を受信したときに前記制御信号の伝達を禁止することを特徴とする半導体装置。

(付記8) 付記1または付記6記載の半導体装置において、

前記試験制御回路は、前記第1チップの試験時に前記制御信号の出力ノードをハイインピーダンスにする出力禁止回路を備えていることを特徴とする半導体装置。

【0059】

(付記9) 付記1または付記6記載の半導体装置において、

前記試験制御回路は、前記第1チップの試験時に前記制御信号の出力ノードを

高レベルに固定する高レベル固定回路を備えていることを特徴とする半導体装置。
。

(付記 1 0) 付記 1 または付記 6 記載の半導体装置において、

前記試験制御回路は、前記第 1 チップの試験時に前記制御信号の出力ノードを低レベルに固定する低レベル固定回路を備えていることを特徴とする半導体装置。
。

【 0 0 6 0 】

(付記 1 1) 付記 1 または付記 6 記載の半導体装置において、

前記第 1 チップは、ロジックチップであり、

前記第 2 チップは、メモリチップであることを特徴とする半導体装置。

(付記 1 2) 同一のパッケージに実装される製造プロセスの異なる別の半導体チップを動作させる制御信号を生成する制御回路と、

試験モード時に動作し、前記制御信号の出力を禁止する試験制御回路とを備えていることを特徴とする半導体集積回路。

【 0 0 6 1 】

(付記 1 3) 付記 1 2 記載の半導体集積回路において、

試験起動信号を受信する試験起動端子を備え、

前記試験制御回路は、前記試験起動信号を受信したときに前記制御信号の出力を禁止することを特徴とする半導体集積回路。

(付記 1 4) 付記 1 2 記載の半導体集積回路において、

前記試験制御回路は、前記試験モード時に前記制御信号の出力ノードをハイインピーダンスにする出力禁止回路を備えていることを特徴とする半導体集積回路。
。

【 0 0 6 2 】

(付記 1 5) 付記 1 2 記載の半導体集積回路において、

前記試験制御回路は、前記試験モード時に前記制御信号の出力ノードを高レベルに固定する高レベル固定回路を備えていることを特徴とする半導体装置。

(付記 1 6) 付記 1 2 記載の半導体集積回路において、

前記試験制御回路は、前記試験モード時に前記制御信号の出力ノードを低レベ

ルに固定する低レベル固定回路を備えていることを特徴とする半導体集積回路。

【0063】

付記5の半導体装置では、第1チップの試験起動回路は、第1チップの入力端子に複数回入力される信号の論理の組み合わせに応じて試験起動信号を出力する。ここで、入力端子は、通常動作で使用される入力信号を受信する端子である。試験制御回路は、試験起動信号を受信したときに、制御信号の第2チップへの伝達を禁止する。このため、通常動作で使用される入力端子を利用して、複数の試験のうち所望の試験を実施できる。

【0064】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0065】

【発明の効果】

請求項1の半導体装置および請求項10の半導体集積回路では、試験条件の異なる複数の半導体チップを搭載した半導体装置において、それぞれのチップを最適な条件で試験できる。例えば、第1チップのバーンイン試験時に、第2チップのトランジスタ等にストレスが加わることを防止できる。この結果、第1チップおよび第2チップとを実装した半導体装置において、第1チップのみにストレスを与えてバーンイン試験を実施できる。

【0066】

請求項2の半導体装置では、第1チップの試験時に、第2チップのトランジスタ等に電界によるストレスが加わることを確実に防止できる。

請求項3の半導体装置では、第1チップの試験時に、第2チップを非活性化でき、第2チップにストレスが加わることが防止される。

請求項4の半導体装置では、通常動作で使用される入力端子を利用して、複数の試験のうち所望の試験を実施できる。

【0067】

請求項5の半導体装置では、試験条件の異なる複数の半導体チップを搭載した

半導体装置において、それぞれのチップを最適な条件で試験できる。特に、第1チップに汎用チップを使用する場合にも、第2チップにストレスが加わることを容易に防止できる。

請求項6の半導体装置では、試験起動端子に所定の電圧を供給するだけで、試験を容易に実施できる。

【0068】

請求項7の半導体装置では、例えば、バーンイン試験時に、第2チップを容易かつ確実に高温放置状態にできる。

請求項8の半導体装置では、高レベル固定回路の出力を、第2チップの入力端子のうち、低レベル時に活性化状態を示す端子に接続することで、第1チップの試験時に、第2チップを確実に非活性化状態にできる。

【0069】

請求項9の半導体装置では、低レベル固定回路の出力を、第2チップの入力端子のうち、高レベル時に活性化状態を示す端子に接続することで、第1チップの試験時に、第2チップを確実に非活性化状態にできる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すブロック図である。

【図2】

図1のMCPの構造を示す斜視図である。

【図3】

図1の試験制御回路の詳細を示す回路図である。

【図4】

本発明の第2の実施形態の要部を示す回路図である。

【図5】

本発明の第3の実施形態の要部を示す回路図である。

【図6】

本発明の第4の実施形態を示すブロック図である。

【図7】

本発明の第 5 の実施形態を示すブロック図である。

【図 8】

図 7 の試験制御回路の詳細を示す回路図である。

【図 9】

本発明の第 6 の実施形態を示すブロック図である。

【図 1 0】

本発明の第 7 の実施形態を示すブロック図である。

【符号の説明】

- 1 0 論理回路
- 1 2 試験制御回路
- 1 4 メモリセルアレイ
- 1 2 a クロックトインバータ
- 1 4 I0セル
- 1 4 a プルダウン抵抗
- 1 4 b 出力バッファ
- 1 6 I0セル
- 1 6 a プルアップ抵抗
- 1 8 試験制御回路
- 2 0 試験制御回路
- 2 2 試験制御回路
- 2 2 a クロックトインバータ
- 2 4 I0セル
- 2 6 論理回路
- 2 6 a 試験起動回路
- 2 8 論理回路
- 2 8 a 試験起動回路
- BIZ 試験制御端子
- BRD パッケージ基板
- CNT 制御信号

GND1 第 1 接地端子

GND2 第 2 接地端子

GND3 第 3 接地端子

TEST テスト端子

VDD1 第 1 電源端子

VDD2 第 2 電源端子

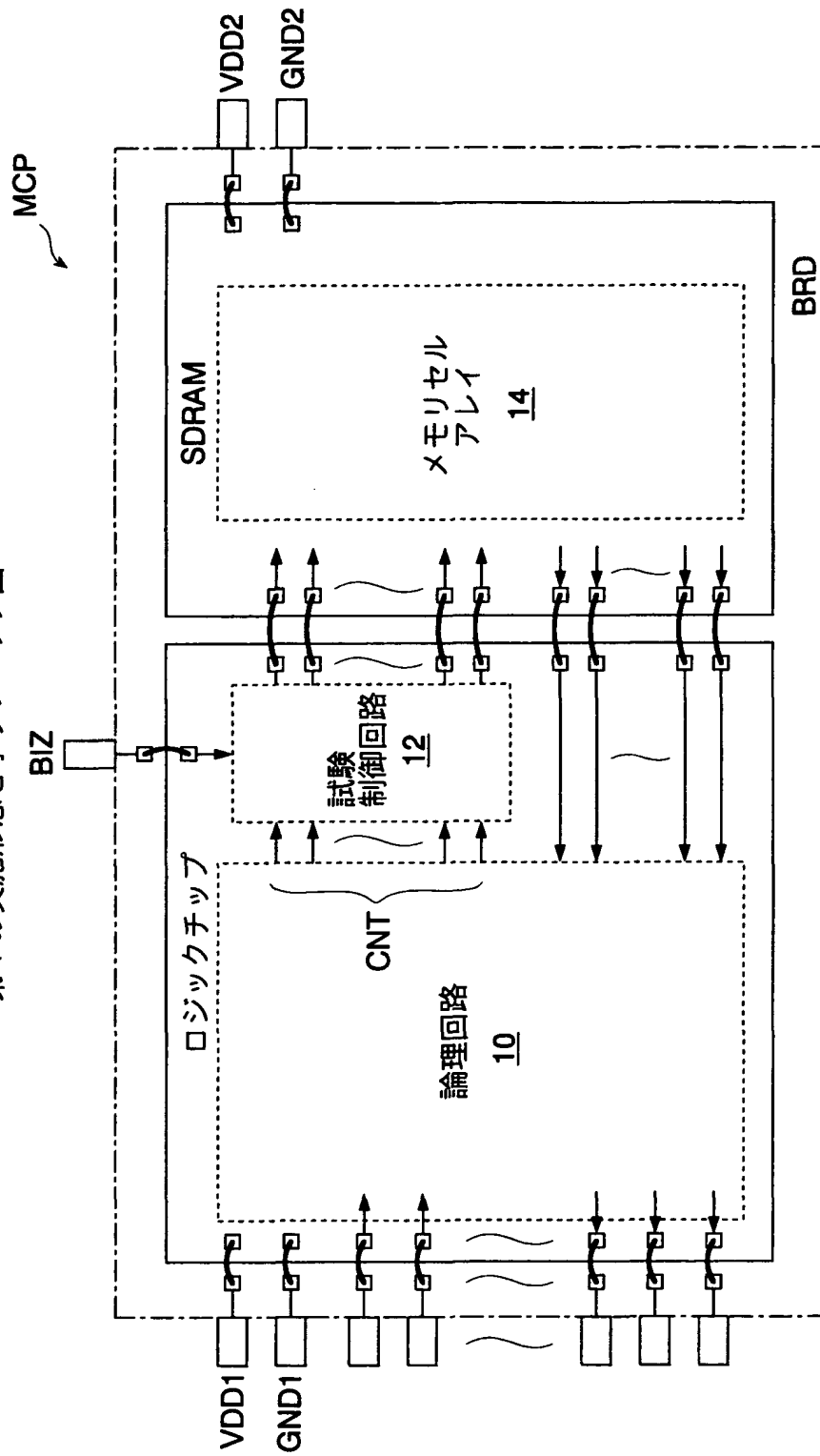
VDD3 第 3 電源端子

【書類名】

図面

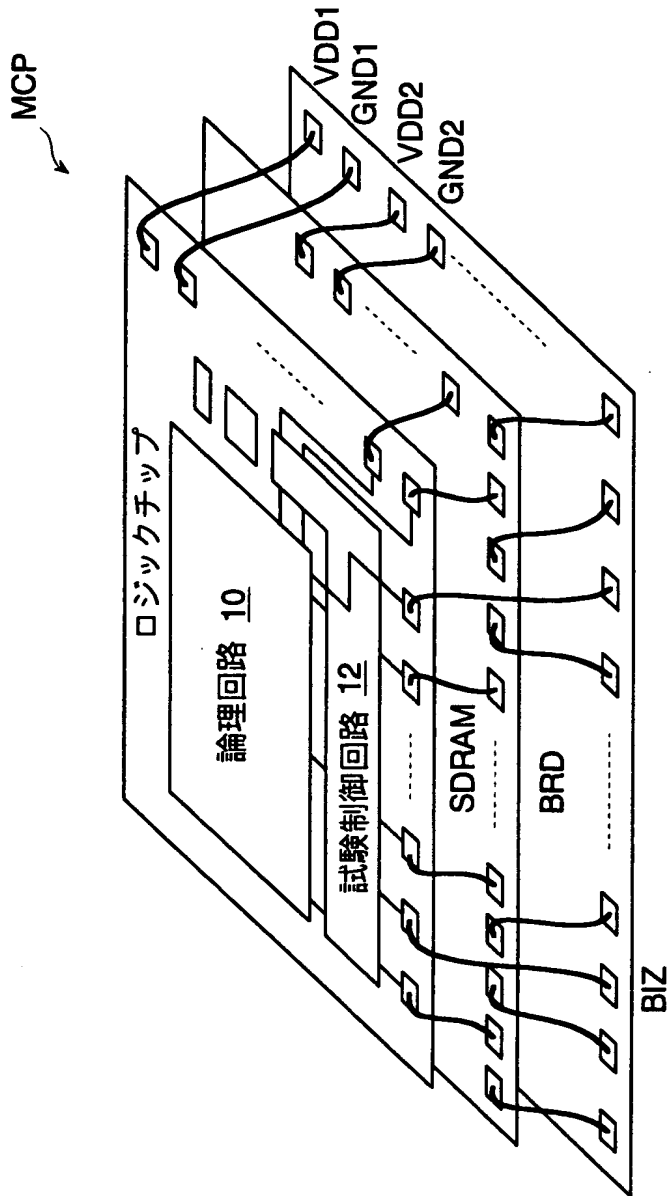
【図 1】

第 1 の実施形態を示すブロック図



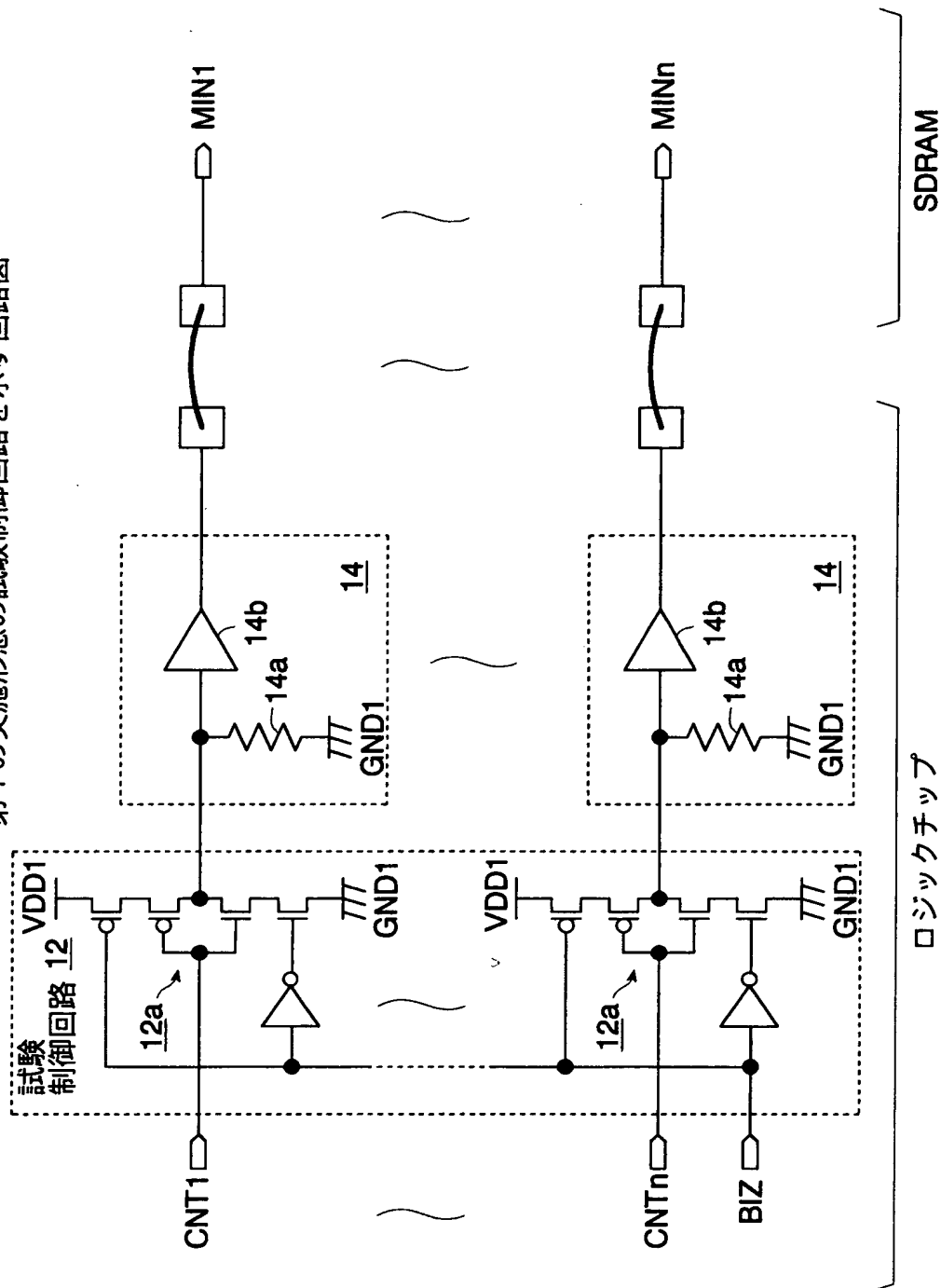
【図 2】

第 1 の実施形態を示す斜視図

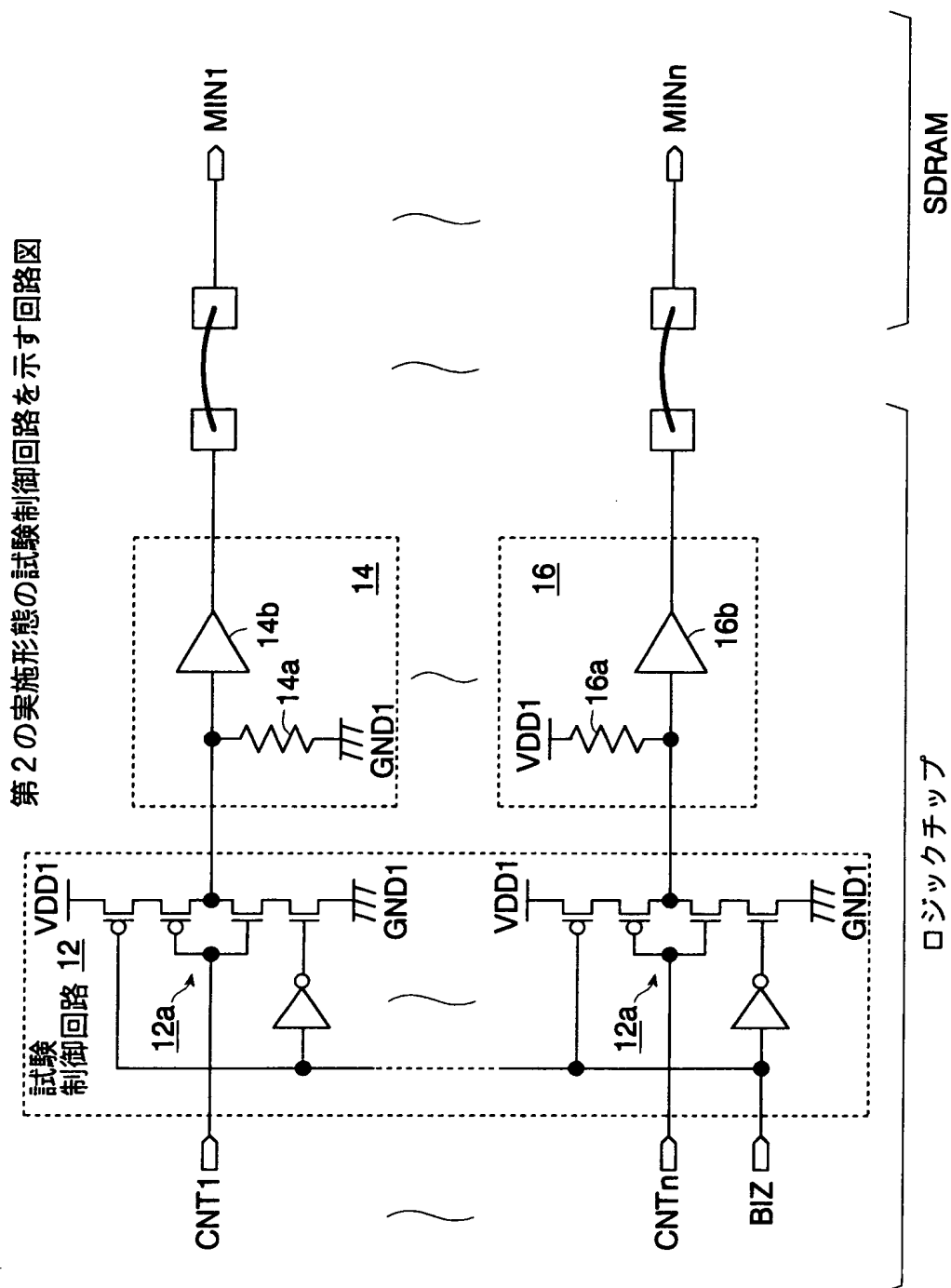


【図 3】

第 1 の実施形態の試験制御回路を示す回路図

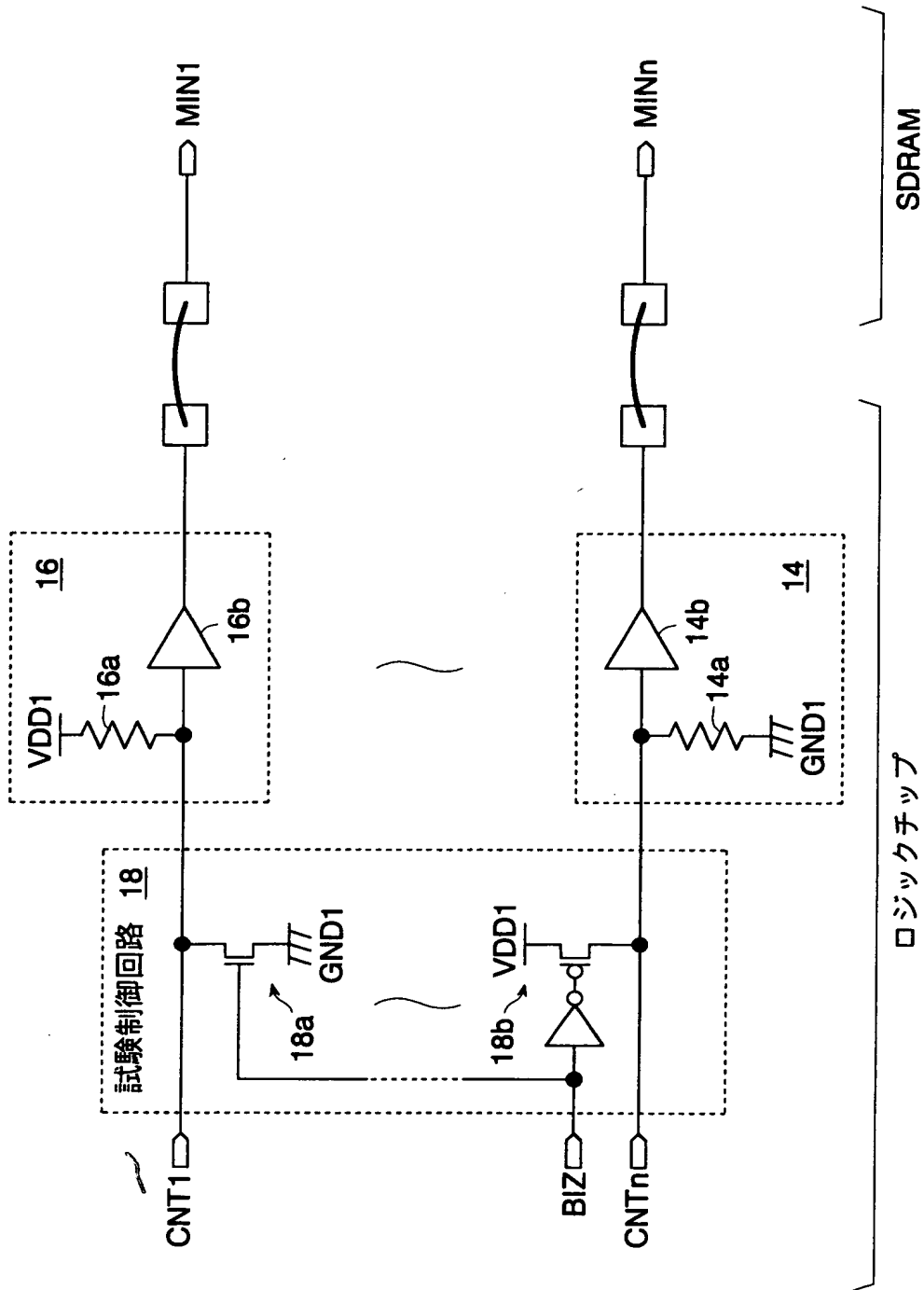


【図 4】

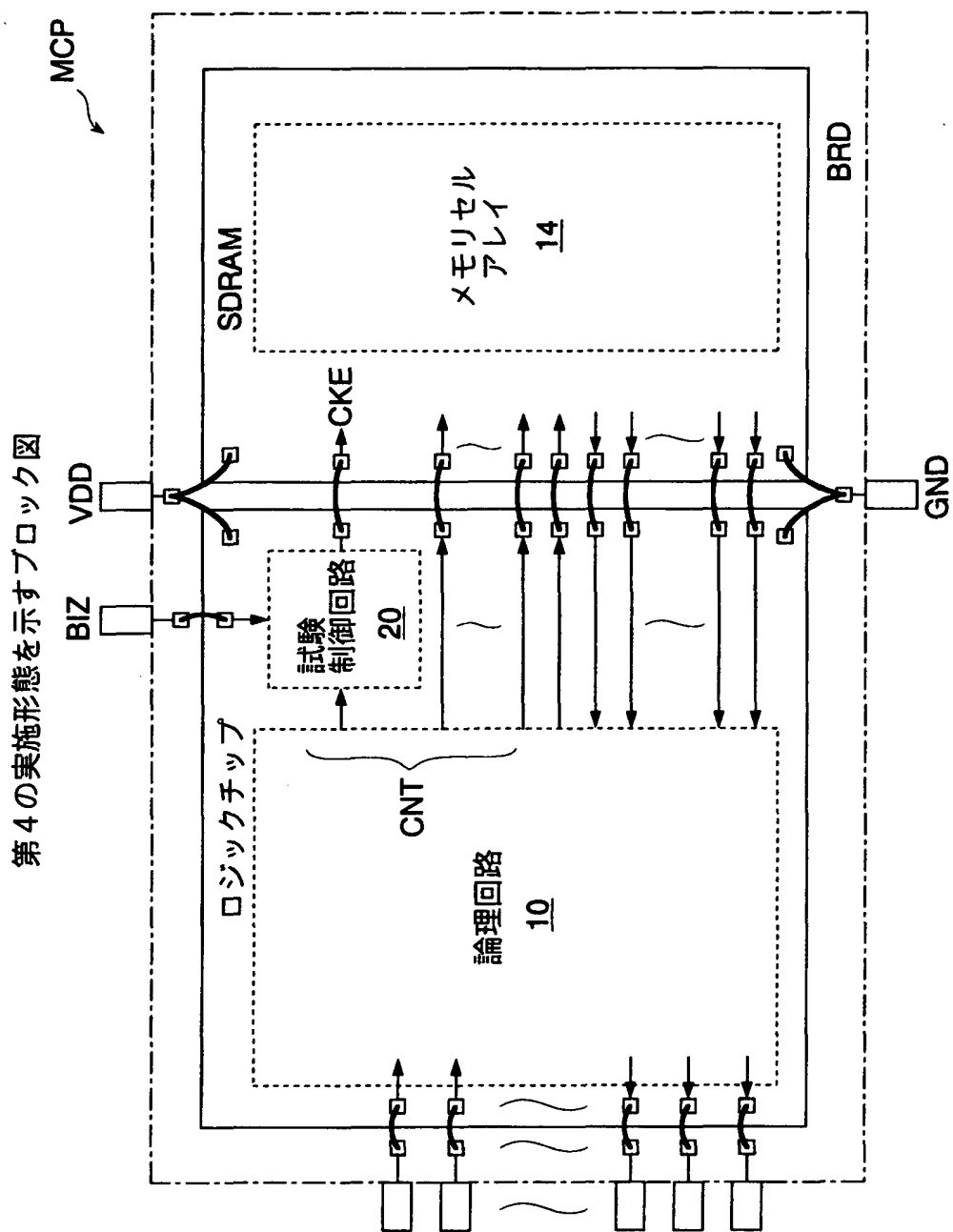


【図 5】

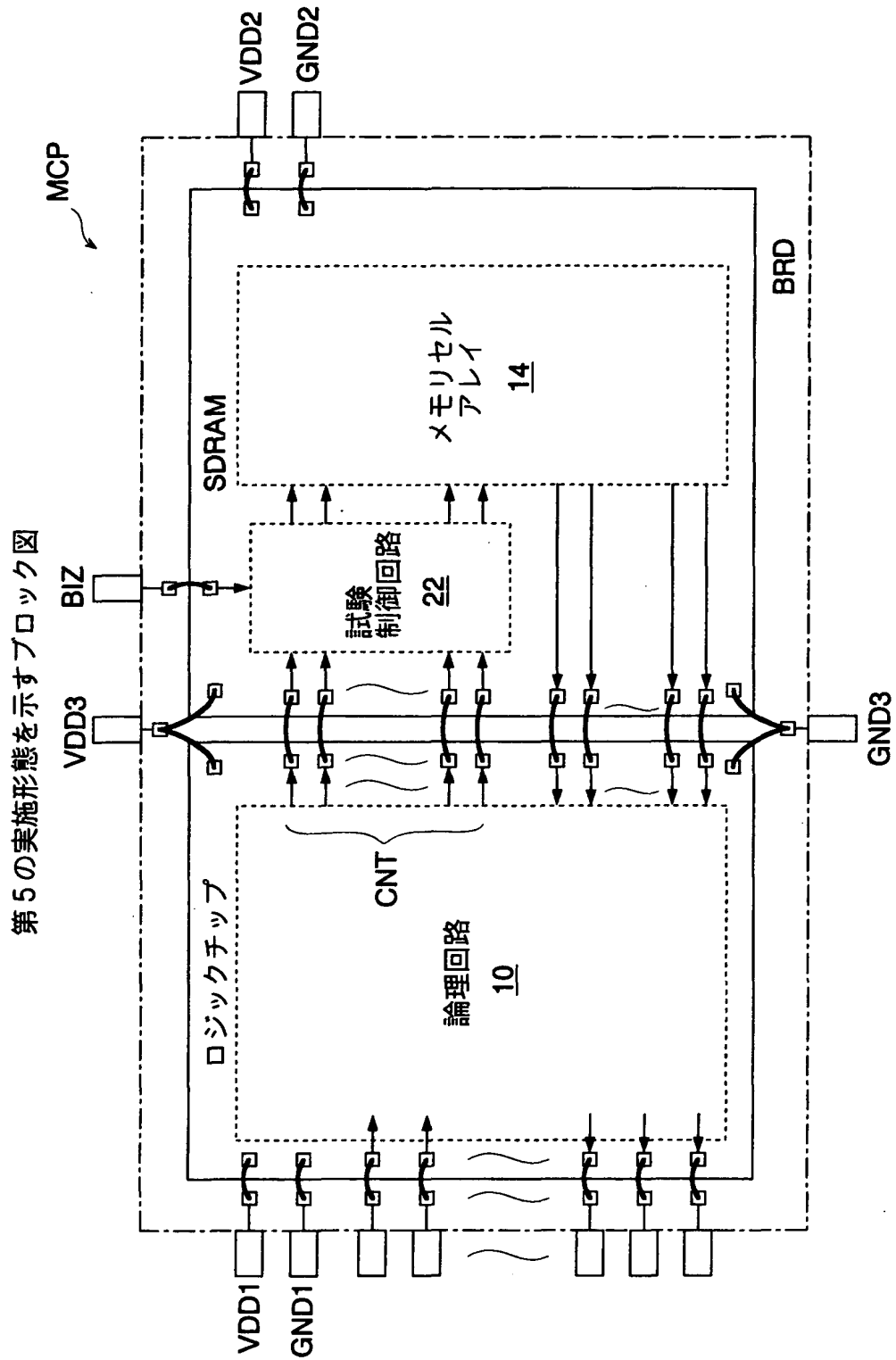
第 3 の実施形態の試験制御回路を示す回路図



【図6】

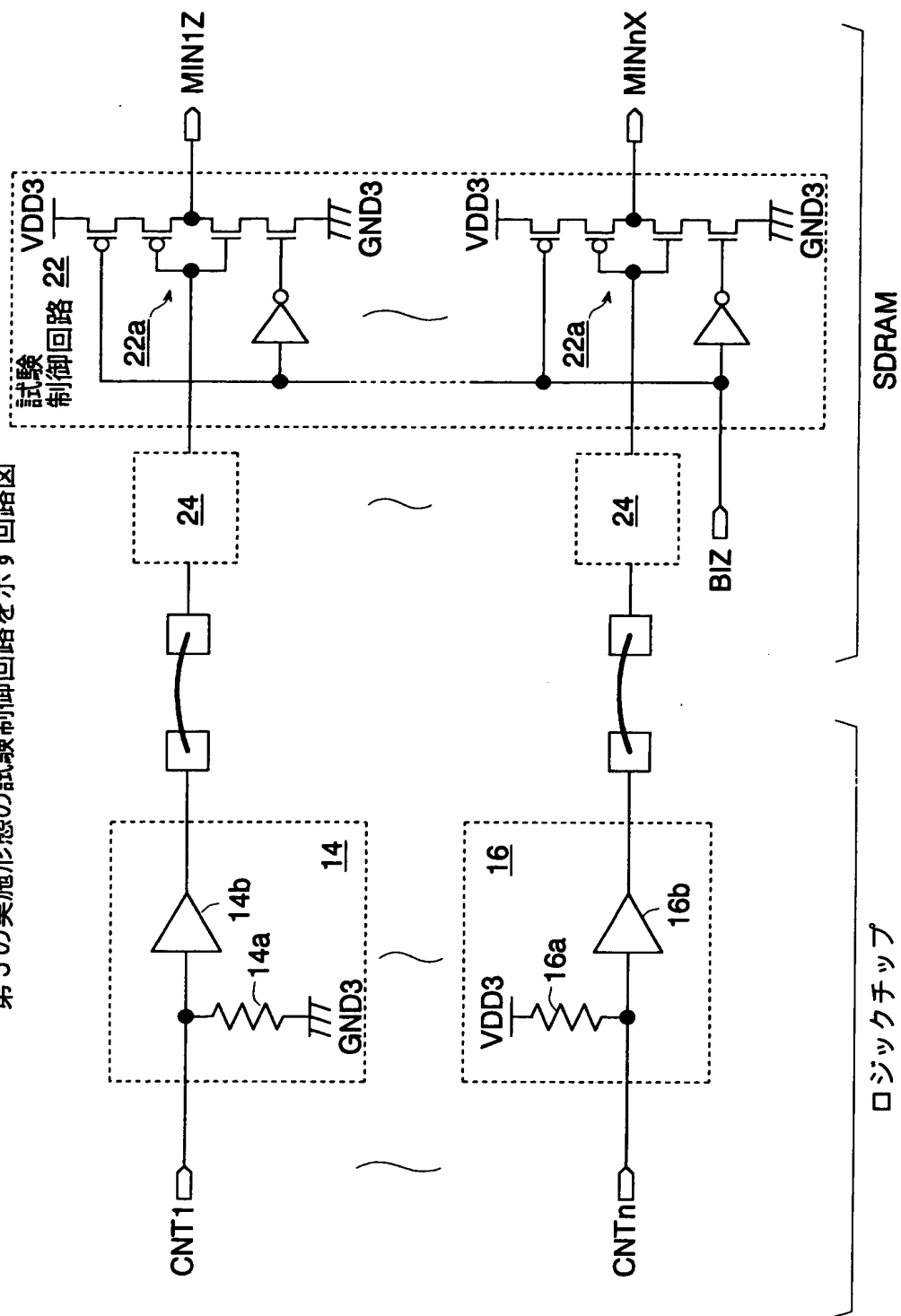


【図 7】



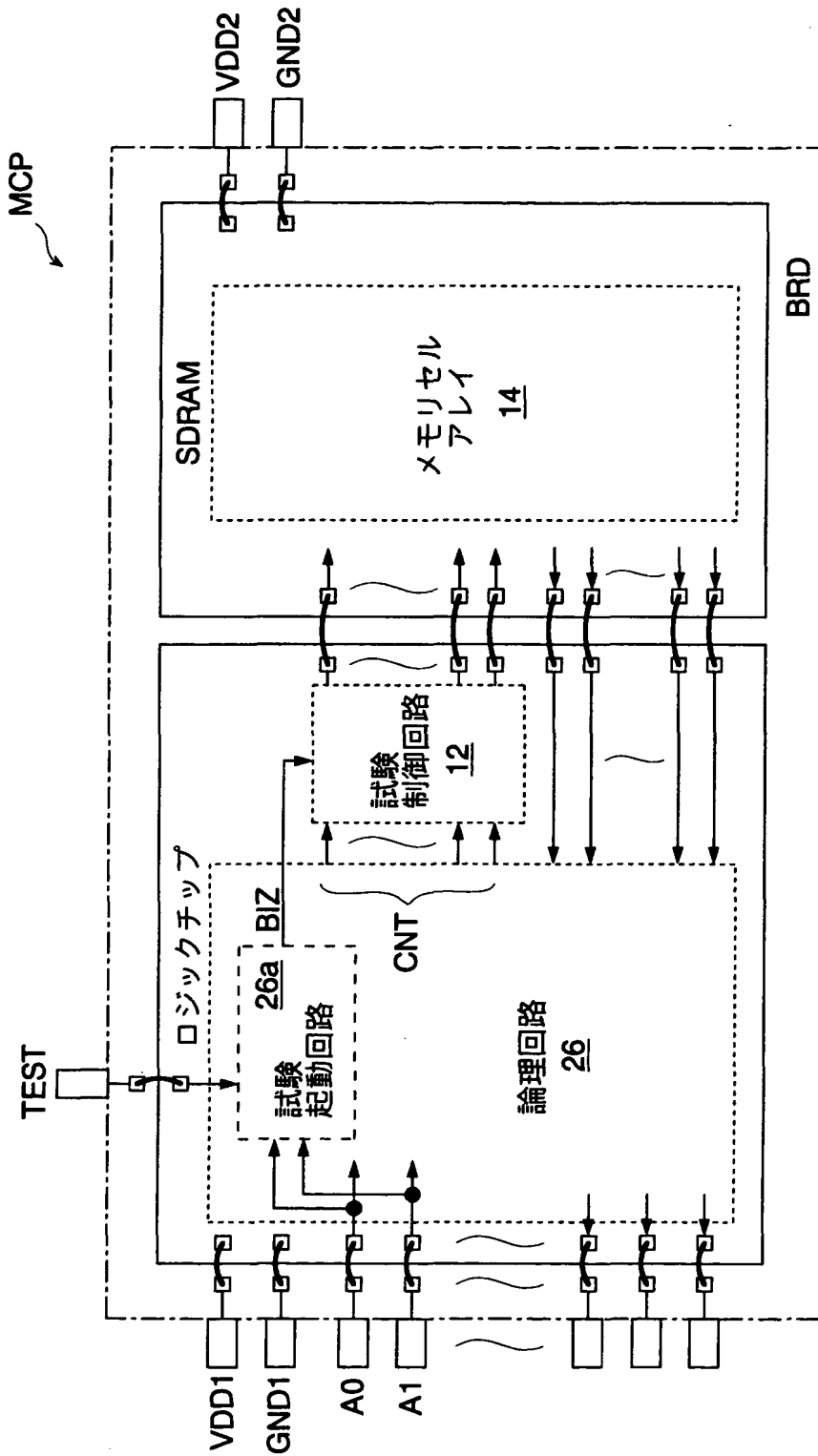
【図 8】

第 5 の実施形態の試験制御回路を示す回路図



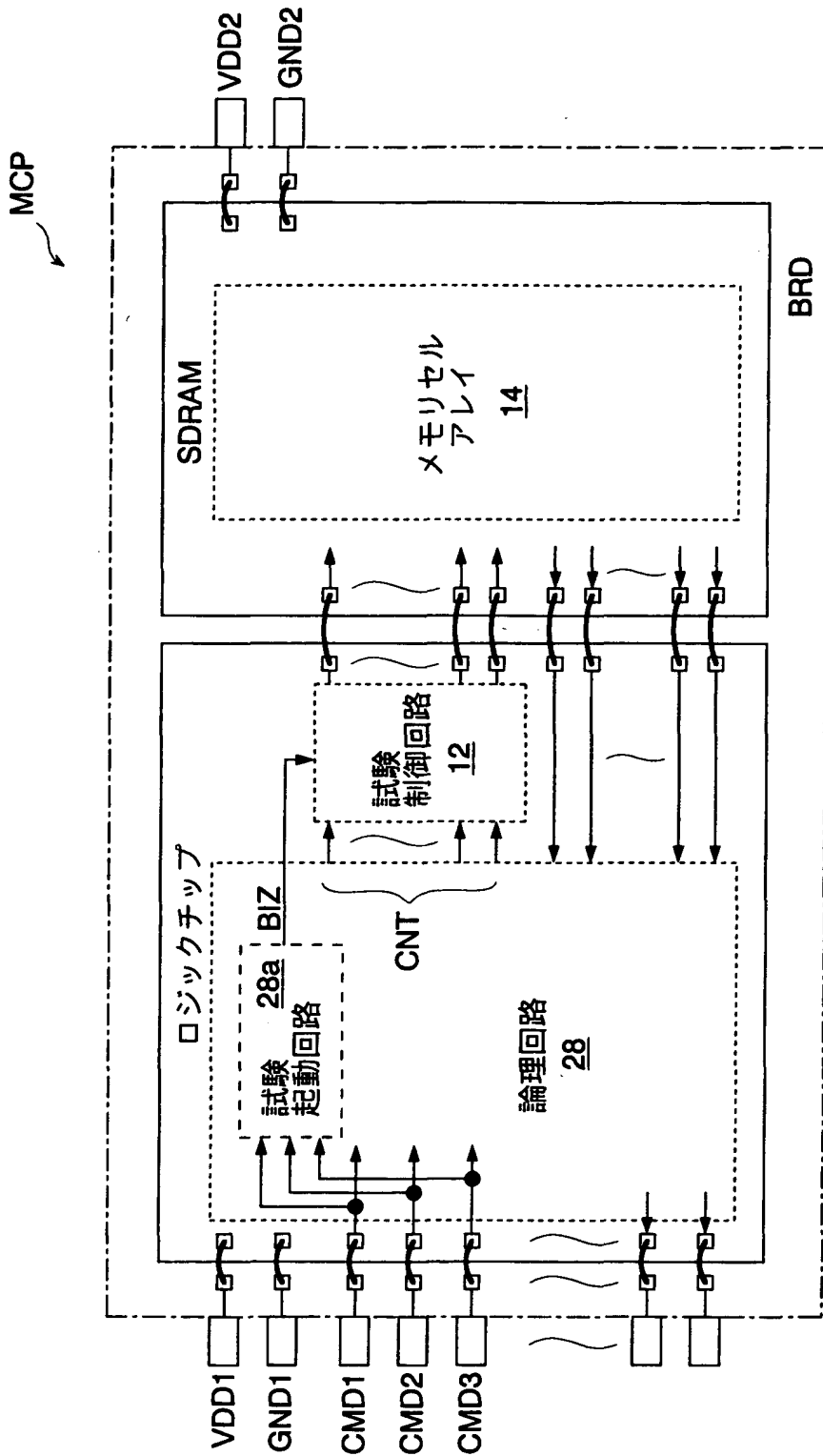
【図9】

第6の実施形態を示すブロック図



【図10】

第7の実施形態を示すブロック図



【書類名】 要約書

【要約】

【課題】 試験条件が互いに異なる複数のチップを搭載する半導体装置を、確実にバーンイン試験する。

【課題を解決するための手段】

第1チップの制御回路は、第2チップを動作させる制御信号を生成する。第1チップおよび第2チップは、互いに異なる製造プロセスで製造され、1つのパッケージに実装される。第1チップの試験制御回路は、第1チップの試験時に制御信号の第2チップへの伝達を禁止する。このため、例えば、第1チップのバーンイン試験時に、第2チップのトランジスタ等にストレスが加わることが防止される。この結果、試験条件の異なる第1チップおよび第2チップとを実装した半導体装置において、第1チップのみにストレスを与えて試験を実施できる。

【解決手段】

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社